

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038814

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-180483

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.07.1993

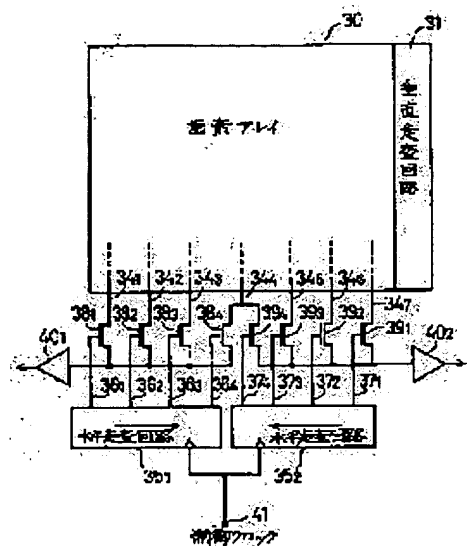
(72)Inventor : AWAMOTO KENJI
SAKACHI YOICHIRO

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To improve the quality of the monitor screen of the solid-state image pickup device by compensating an offset error and a gain error between pixel signals of plural systems.

CONSTITUTION: A signal supply circuit 34 supplies the same signal to all of plural read circuits. A correction signal generating circuit 47 generates a correction signal for eliminating the difference in the level of the signal supplied from said signal supply circuit among pixel signals read out of the read circuits. A correcting circuit 45 corrects the levels of the pixel signals read out of the read circuits with the correction signal.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-38814

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.⁶

H 0 4 N 5/335

識別記号

庁内整理番号

P

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平5-180483

(22)出願日 平成5年(1993)7月21日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 粟本 健司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 坂地 陽一郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

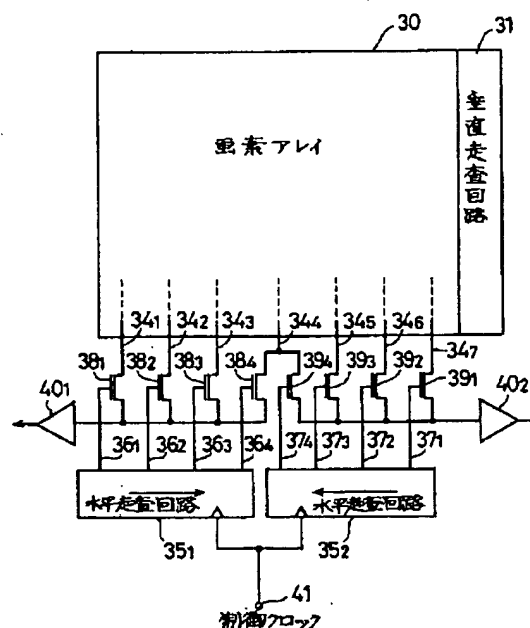
(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 本発明は固体撮像装置に関し、複数系統の画素信号間のオフセット誤差及びゲイン誤差を補償しモニタ画面の品質を向上させることを目的とする。

【構成】 信号供給回路(344)は、複数の読み出し回路の全てに同一の信号を供給する。補正信号発生回路(47)は、上記複数の読み出し回路夫々から読み出される画素信号のうち、上記信号供給回路から供給された信号のレベル差から上記レベル差をなくするような補正信号を発生する。補正回路(45)は、補正信号で上記複数の読み出し回路夫々から読み出される画素信号のレベルを補正する。

本発明装置の固体撮像素子の回路図



1

【特許請求の範囲】

【請求項1】 画素アレイ(30)の複数の垂直信号伝送線(34₁～34₇)を複数の読み出し回路(35₁, 35₂～40₁, 40₂)に分割して接続し、上記複数の読み出し回路で同時に画素信号の時系列的な読み出しを行う固体撮像装置において、

上記複数の読み出し回路の全てに同一の信号を供給する信号供給回路(34₄)と、

上記複数の読み出し回路夫々から読み出される画素信号のうち、上記信号供給回路から供給された信号のレベル差から上記レベル差をなくすような補正信号を発生する補正信号発生回路(47)と、

上記補正信号で上記複数の読み出し回路夫々から読み出される画素信号のレベルを補正する補正回路(45)とを有することを特徴とする固体撮像装置。

【請求項2】 上記信号供給回路は、1本の垂直信号伝送線を全ての水平走査回路に接続して構成したことを特徴とする請求項1記載の固体撮像装置。

【請求項3】 上記信号供給回路は基準電圧源であることを特徴とする請求項1記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は固体撮像装置に関し、複数の読み出し回路を持つ複数出力の固体撮像装置に関する。

【0002】 半導体基板上に複数の受光素子を二次元配置した光電変換素子部と、光電変換された信号を読み出すための回路部を持つ固体撮像素子は近年、画素数を増やし高解像度化が図られている。多画素化にともない、信号読み出し速度が速くなり、周辺回路の速度の制限や雑音の増大が問題となるため、出力を多数に分割し、信号読み出し速度を低く抑えた固体撮像装置が提案されている。

【0003】

【従来の技術】 図5は従来の固体撮像素子の一例の回路図を示す。この例では4×4画素のMOS型素子で2出力型のものを用いて説明する。同図中、フォトダイオードで構成された画素10₁₁～10₄₄のうち、垂直走査回路11に接続されたライン選択線12₁～12₄がオンとなり、ライン選択ゲート13が導通したラインの4つの画素の出力信号は垂直信号伝送線14₁～14₄に送出される。水平走査回路15₁, 15₂ 夫々は画素選択線16₁と16₂, 17₁と17₂を順次オンとして画素選択ゲート18₁と18₂, 19₁と19₂を順次導通させ、プリアンプ20₁, 20₂ 夫々より画素信号を読み出させる。つまり、プリアンプ20は左側2列の画素の画素信号を読み出し、これと同時にプリアンプ20₂は右側2列の画素の画素信号を読み出し、これによって信号読み出し速度をプリアンプが1個の場合の1/2に低減できる。

2

【0004】 上記のプリアンプ20₁, 20₂ 夫々の出力する画素信号は図6に示す信号伝送ケーブル21₁, 21₂ 夫々を通して信号処理回路内のバッファアンプ23₁, 23₂に供給され、A/Dコンバータ25₁, 25₂でデジタル化された後、画像回路26で1画面のモニタ画面として配置され、端子27より表示用として出力される。

【0005】

【発明が解決しようとする課題】 このように、プリアンプ20₁, 20₂ 夫々から画素信号を出力する2出力型であるため、外部から加わる雑音や温度変動により2系統の画素信号間にオフセット誤差及びゲイン誤差を生じ、モニタ画面の品質が低下するという問題があった。

【0006】 本発明は上記の点に鑑みなされたもので、複数系統の画素信号間のオフセット誤差及びゲイン誤差を補償しモニタ画面の品質を向上させる固体撮像装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の固体撮像装置は、画素アレイの複数の垂直信号伝送線を複数の読み出し回路に分割して接続し、上記複数の読み出し回路で同時に画素信号の時系列的な読み出しを行う固体撮像装置において、上記複数の読み出し回路の全てに同一の信号を供給する信号供給回路と、上記複数の読み出し回路夫々から読み出される画素信号のうち、上記信号供給回路から供給された信号のレベル差から上記レベル差をなくすような補正信号を発生する補正信号発生回路と、上記補正信号で上記複数の読み出し回路夫々から読み出される画素信号のレベルを補正する補正回路とを有する。

【0008】

【作用】 本発明においては、複数の読み出し回路の出力する画素信号のうち同一の信号のレベル差から補正信号を発生して各読み出し回路の出力する画素信号のレベルを補正するため、信号伝送ケーブル等を含む各読み出し回路のオフセット誤差及びゲイン誤差を補正できる。

【0009】

【実施例】 図1は本発明装置の固体撮像素子部分の第1実施例の回路図を示す。同図中、30は水平方向7画素×垂直方向n画素の画素アレイである。画素アレイ30のうち、垂直走査回路31で選択されたラインの7つの画素の出力信号は垂直信号伝送線34₁～34₇に送出される。垂直信号伝送線34₁～34₄ 夫々は水平走査回路35₁に接続された画素選択線36₁～36₄でスイッチング制御される画素選択ゲート38₁～38₄を介してプリアンプ40₁に接続され、更に、垂直信号伝送線34₄～34₇ 夫々は水平走査回路35₂に接続された画素選択線37₁～37₄でスイッチング制御される画素選択ゲート39₁～39₄を介してプリアンプ40₂に接続されている。つまり垂直信号伝送線34₄は画素選択ゲート38₄, 39₄ 夫々を介してプリアンプ

3

40₁、40₂ 夫々に接続されている。

【0010】水平走査回路35₁、35₂ 夫々は端子41より入来する制御クロックに同期して図中矢印方向に走査し画素選択線36₁と37₁、36₂と37₂、36₃と37₃、36₄と37₄を順次オンとしてプリアンプ40₁、40₂から同時に画素信号を出力させる。

【0011】上記の水平走査回路35₁、35₂、画素選択線36₁～36₄、37₁～37₄、画素選択ゲート38₁～38₄、39₁～39₄、プリアンプ40₁、40₂で読み出し回路を構成している。また、垂直信号伝送線34₁が即ち信号供給回路とされている上記のプリアンプ40₁、40₂ 夫々の出力する画素信号は図2に示す信号伝送ケーブル42₁、42₂ 夫々を通して信号処理回路内のバッファアンプ43₁、43₂に供給される。バッファアンプ43₁出力はA/Dコンバータ44₁に供給されバッファアンプ43₂出力はレベルシフト回路45でレベルシフトされた後A/Dコンバータ44₂に供給される。

【0012】A/Dコンバータ44₁、44₂ 夫々の出力するデジタル画素信号は端子46₁、46₂ 夫々から後続の画像回路に供給されると共に、補正信号発生回路47の端子A、B夫々に供給される。制御回路48は制御クロックを生成して端子41から水平走査回路35₁、35₂ 夫々に供給し、またサンプリングパルスを生成してA/Dコンバータ44₁、44₂ 夫々に供給し、また、画素選択線36₁と37₁をオンするタイミングを指示するタイミング信号を補正信号発生回路47に供給する。補正信号発生回路47は上記タイミング信号の入来時に端子Aの値から端子Bの値を減算し、差A-Bに対応するレベルの補正信号を次のタイミング信号が入来するまで保持して出力する。この補正信号は補正回路であるレベルシフト回路45に供給され、バッファアンプ43₂出力が差B-Aに対応してレベルシフトされる。

【0013】ここで、バッファアンプ43₁、43₂ 夫々の出力信号レベルが図3(A)に実線I、IIで示す如き場合、時点t₀で画素選択ゲート38₄、39₄が導通して同一画素の画素信号であるにも拘らず、オフセット誤差及びゲイン誤差によって両信号はレベルがV_A、V_Bと異なる。この時点t₀で補正信号発生回路47は同図(B)に示すレベルの補正信号を発生する。このため、次のラインではバッファアンプ43₂の出力信号レベルがV_B-V_Aだけ加算補正されて、次の選択ゲート38₄、39₄が導通する時点t₁では両信号のレベルはV_Cで略同一となる。

【0014】図4は本発明装置の固体撮像素子部分の第2実施例の回路図を示す。同図中、図1と同一部分には同一符号を付す。図4中、50は水平方向6画素×垂直方向n画素の画素アレイである。画素アレイ50のうち、垂直走査回路31で選択されたラインの6つの画素

4

の出力信号は垂直信号伝送線34₁～34₆に送出される。垂直信号伝送線34₁～34₆ 夫々は水平走査回路35₁に接続された画素選択線36₁～36₆でスイッチング制御される画素選択ゲート38₁～38₆のうちのゲート38₂～38₄を介してプリアンプ40₁に接続され、更に、垂直信号伝送線34₄～34₆ 夫々は水平走査回路35₂に接続された画素選択線37₁～37₄でスイッチング制御される画素選択ゲート39₁～39₄のうちのゲート39₂～39₄を介してプリアンプ40₂に接続されている。また、電圧V_{ref}の基準電圧源51が画素選択ゲート38₁、39₁ 夫々を介してプリアンプ40₁、40₂に夫々接続されている。

【0015】水平走査回路35₁、35₂ 夫々は端子41より入来する制御クロックに同期して画素選択線36₁と37₁、36₂と37₂、36₃と37₃、36₄と37₄を順次オンとしてプリアンプ40₁、40₂から同時に画素信号を出力させるとき、画素選択線36₁と37₁のオン時に基準電圧V_{ref}が疑似画素信号として読み出される。

【0016】この場合、図2の制御回路48で画素選択線36₁と37₁をオンするタイミングを指示するタイミング信号を生成するようにして、このタイミング信号を補正信号発生回路47に供給することにより、第1実施例と同様にバッファアンプ43₁、43₂ 夫々の出力信号レベルを上記画素選択線36₁と37₁のオン時点で略同一とすることができる。

【0017】なお、補正信号はA/Dコンバータ44₁、44₂入力前のアナログ信号から生成しても良く、また補正信号発生回路47でデジタル値の補正信号を発生してA/Dコンバータ44₂出力に加算して端子46₂から出力しても良く、更に補正信号発生回路47出力をバッファアンプ43₂出力から減算する代わりに、バッファアンプ43₁出力に加算しても良く、上記実施例に限定されない。

【0018】

【発明の効果】上述の如く、本発明の固体撮像装置によれば、複数系統の画素信号間のオフセット誤差及びゲイン誤差を補償しモニタ画面の品質を向上させることができ、実用上きわめて有用である。

【図面の簡単な説明】

【図1】本発明装置の固体撮像素子の回路図である。

【図2】本発明装置の信号処理回路の回路図である。

【図3】本発明を説明するための信号波形図である。

【図4】本発明装置の固体撮像素子の回路図である。

【図5】従来装置の固体撮像素子の回路図である。

【図6】従来装置の信号処理回路の回路図である。

【符号の説明】

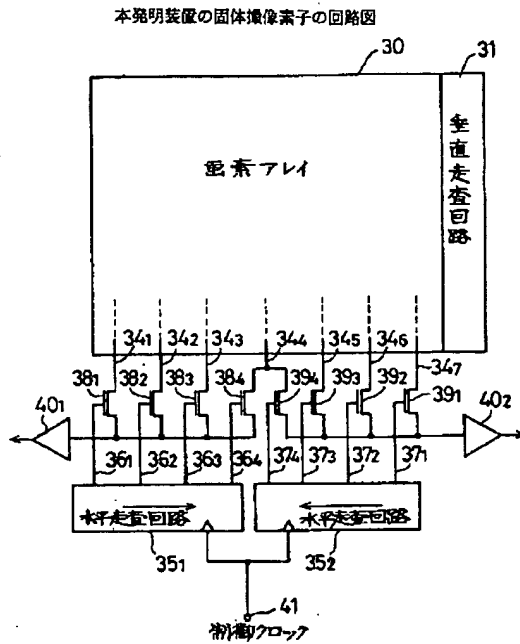
30、50 画素アレイ

31 垂直走査回路

34₁～34₆ 垂直信号伝送線

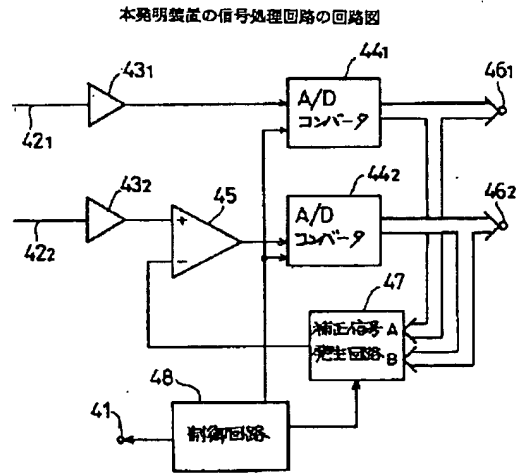
5
 35₁, 35₂ 水平走査回路
 36₁ ~ 36₄, 37₁ ~ 37₄ 画素選択線
 38₁ ~ 38₄, 39₁ ~ 39₄ 画素選択ゲート
 40₁, 40₂ プリアンプ
 42₁, 42₂ 信号伝送ケーブル

【図1】



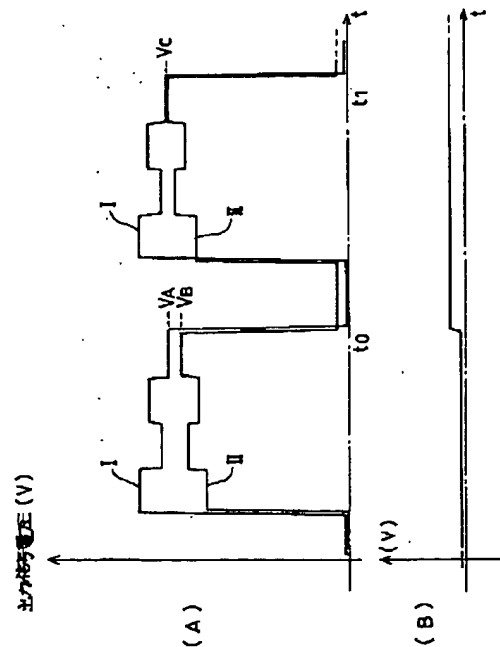
6
 43₁, 43₂ バッファアンプ
 44₁, 44₂ A/Dコンバータ
 45 レベルシフト回路
 47 補正信号発生回路

【図2】

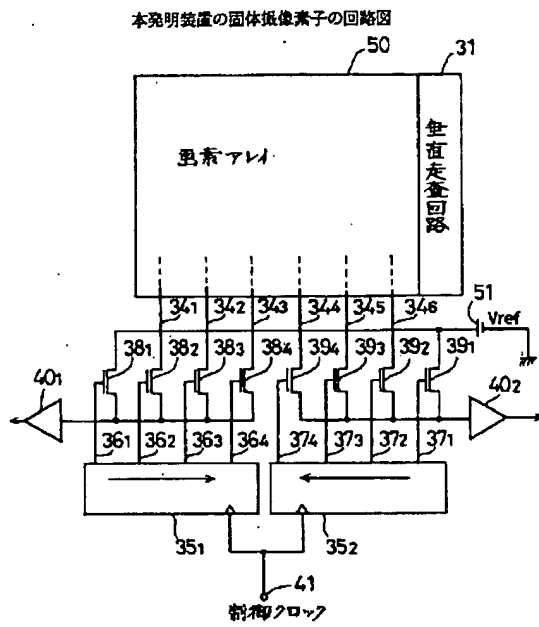


【図3】

本発明を説明するための信号波形図

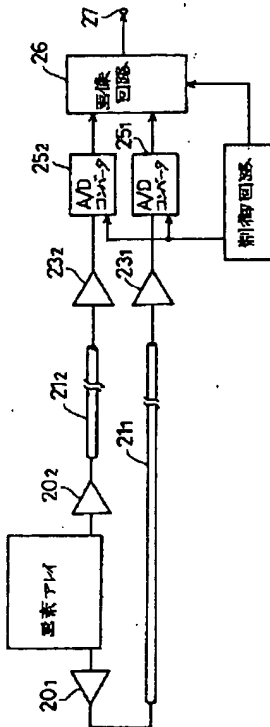


【図4】



【図6】

従来装置の信号処理回路の回路図



【図5】

